

【積體電路設計實驗】課程綱要

課程名稱	(中文) 積體電路設計實驗	開課單位	電機工程學系
	(英文) IC Design Laboratory	課號	EE4292
學分數	3	必/選修	專業選修
開課頻率	每學年	建議修課年級	四年級
先修課程或先備能力：邏輯設計、積體電路設計導論、電子學			
隸屬學程：	☐ 電力工程學程	☐ 數位訊號處理學程	☐ 光電工程學程
	☐ 計算機工程學程	☐ 電子工程學程	☐ 生物醫學電子學程
	☒ 電子電路設計學程	☐ 通訊工程學程	☐ 基礎課程
課程類型：	☒ 講授	☒ 實驗	☐ 演講 ☐ 其他：
課程目標：本課程介紹數位積體電路設計之基本流程，並搭配完整的實習內容。內容主要分為三大部份：如何利用硬體描述語言(HDL)有效地實作頭腦裡的想法或演算法、如何將 HDL 合成為邏輯閘線路、以及如何將邏輯閘線路透過佈局與繞線實作為晶片。實作面包含 Verilog HDL、模擬除錯軟體、邏輯電路合成軟體、邏輯電路模擬、數位積體電路之布局與繞線、數位晶片模擬與驗證等。除每周之實習外，共有五次作業與一次期中考，期末將有一個數位電路的設計專題，來實際驗收同學們上課所學成果。			
培養之核心能力：			
☒	一、豐富的數學、物理、科學與工程知識，以及實際運用的能力。		
☒	二、設計實驗、執行實驗、分析數據及歸納結果的能力。		
☒	三、執行電機工程實務所需理論、方法、技術及使用相關軟硬體工具之能力。		
☒	四、電機工程系統、模組、元件或製程之設計能力。		
☒	五、團隊合作所需之組織、溝通及協調的能力。		
☒	六、發掘問題、分析問題及處理問題的能力。		
☐	七、掌握科技趨勢，並了解科技對人類、環境、社會及全球的影響。		
☒	八、理解專業倫理及社會責任。		
☒	九、專業的外語能力及與國際社群互動的能力。		
教學內容與課程大綱：			
1. Verilog HDL 2. 邏輯合成 3. 邏輯等效性檢查 4. 數位電路晶片佈局與繞線 5. 晶片驗證 6. 期末專題			